

PAT-NO: JP02001168194A
DOCUMENT-IDENTIFIER: JP 2001168194 A
TITLE: SEMICONDUCTOR DEVICE
PUBN-DATE: June 22, 2001

INVENTOR-INFORMATION:

NAME	COUNTRY
TAKASU, HIROAKI	N/A

ASSIGNEE-INFORMATION:

NAME	COUNTRY
SEIKO INSTRUMENTS INC	N/A

APPL-NO: JP11344819

APPL-DATE: December 3, 1999

INT-CL (IPC): H01L021/82, B23K026/00 , H01L021/301 ,
H01L027/01

ABSTRACT:

PROBLEM TO BE SOLVED: To cut a fuse with high precision in a semiconductor device that trims the fuse with a laser and reduce the area of a laser trimming positioning pattern in the scribe line region.

SOLUTION: For the laser trimming positioning pattern, the boundary between a high optical reflectivity region and a low optical reflectivity region, that is, the place where optical reflectivity changes sharply can be specified according to the pattern formed with the same thin film as a fuse element for laser trimming. Further, the desirable relations between the dimensions inside

the laser trimming positioning pattern and a laser beam spot diameter is shown. Besides, the laser trimming positioning pattern is formed in the existing pad region and the bleeder resistor region of a semiconductor integrated circuit chip and arranged in the intersection of the scribe line. The occupied area is reduced by using a continuous structure in which is called the theta mark function for performing comparatively rough alignment against the direction of rotation of a semiconductor wafer and the trimming mark function for accurate alignment against the individual semiconductor integrated circuit that is repetitively arranged can be used for a double purpose.

COPYRIGHT: (C)2001,JPO

⑨ 日本国特許庁(JP)

⑩ 特許出願公開

⑫ 公開特許公報(A)

昭60-42846

⑬ Int.Cl.⁴

識別記号

庁内整理番号

⑭ 公開 昭和60年(1985)3月7日

H 01 L 21/78

A-7131-5F

審査請求 未請求 発明の数 1 (全4頁)

⑮ 発明の名称 半導体ウェーハダイシング方法

⑯ 特 願 昭58-151447

⑰ 出 願 昭58(1983)8月18日

⑱ 発 明 者 柳 明 広 大津市晴嵐2丁目9番1号 関西日本電気株式会社内

⑲ 出 願 人 関西日本電気株式会社 大津市晴嵐2丁目9番1号

⑳ 代 理 人 弁理士 江 原 省 吾 外1名

明 細 書

1. 発明の名称

半導体ウェーハダイシング方法

2. 特許請求の範囲

III 多数の半導体素子を形成した半導体ウェーハ裏面の各半導体素子分離予定線の所望交叉点部分にアライメント用マーキングを形成する工程。当該アライメント用マーキングを基準に半導体ウェーハ裏面の各半導体素子間に予め溝を形成する工程。この半導体ウェーハ裏面に接着シートを貼布して半導体ウェーハ表面から前記溝に達する位置までブレードで切断して半導体素子毎に分割する工程とを含むことを特徴とする半導体ウェーハダイシング方法。

3. 発明の詳細な説明

イ、産業上の利用分野

この発明は多数の半導体素子を形成済み半導体ウェーハを半導体素子毎に細分割するダイシング方法に関する。

ロ、従来技術

半導体ウェーハダイシング方法には半導体ウェーハ(以下単にウェーハと称す)裏面をダイシング用チャックテーブル上に固定して表面から各半導体素子(以下単に素子と称す)間をウェーハ厚の $\frac{1}{3} \sim \frac{1}{2}$ の深さまで切削し溝を形成した後ウェーハを接着シートに移し替え貼布しておき接着シートを引き伸ばしてプレーキングし各素子に細分割する方法やまず初めにウェーハ裏面に接着シートを貼布してから同様に、ウェーハの各素子間をウェーハ厚の $\frac{1}{3} \sim \frac{1}{2}$ の深さまで切削して溝を形成し、その後接着シートを放射状に伸展させてウェーハを各素子毎に細分割する方法がある。この各方法はウェーハに途中の深さまで溝を形成してこの溝を起点として引裂き各素子に分割するため、この細分割時の機械的ショックで素子が接着シートから外れたり、隣接する素子同士が一部重なって接着シートからの素子取出を難しくしたりすることがあった。そこでこれら問題を解決するものとして、ウェーハの各素子間を高速回転する円形プレー

ドで完全カットする方式のダイシング方法が實用される傾向にある。

この完全カット方式のダイシング方法の従来例を第1図乃至第3図を参照しながら説明すると、(1)はクエーハ、(2)(2)・・・はクエーハ(1)に格子状配列に形成された多数の素子、(3)はクエーハ(1)の裏面に貼された接着シート、(4)は接着シート(3)を剥脱可能に張設保持する円形ステージ、(5)は円形ステージ(4)上方で素子(2)(2)・・・の配列方向に相対平行移動するダイサとしての円板ブレードである。尚、クエーハ(1)は裏面に各素子(2)(2)・・・の裏面電極となるメタライズ層(6)を形成した一般的なものとして説明する。また接着シート(3)は伸張可能なシート本体(3a)の上面に接着剤(3b)の層を張設したもので、この接着剤(3b)によりクエーハ(1)が接着固定される。

ハ、発明が解決しようとする問題点

上記完全カット方式はステージ(4)とブレード(5)を相対移動させて、高速回転するブレード(5)でクエーハ(1)の各素子間を第3図に示す如くク

エーハ厚より深く接着剤(3b)からシート本体(3a)の表層部にまで届く深さで順次切断して各素子毎に細分割する方法である。この方法によるとクエーハ(1)はクエーハカット完了の段階で各素子毎に完全細分割されるので、接着シート(3)の伸張時に素子剥れ等のトラブルが発生する心配が無くなる。

ところが、ブレード(5)で接着シート(3)の接着剤(3b)をも必然的に同時カットしてしまうため、カッティング時に接着剤(3b)の切削屑が周辺に飛散して一部が素子(2)上に付着してダイシング工程の歩留りを低下させたり、ブレード(5)に自身に不都合にも付着してしまい、ブレード(5)の切削能力を低下させてしまうばかりか、ブレードの刃こぼれを速めてしまい寿命を短くすることがあつた。またブレード(5)の切削能力低下によりカッティング時に素子(2)に加わる負荷が大きくなつて素子(2)が位置ずれを起す危険性も大であつた。

またクエーハ(1)は通常その表面から完全カツ

トされるが、場合によつてはクエーハ(1)の表面を接着シート(3)に接着して裏面より完全カットすることがある。このような場合、ノツのブレード(5)で完全カットを進行させていくと裏面のメタライズ層(6)の被切削部端にバリが生じたり、破断の場合には素子(2)裏面から剥れることがあつて完全カットの信頼性が極めて低くかつた。

ニ、問題点を解決するための手段

本発明は上記完全カット方式のダイシング方法の問題点を鑑みなされたもので、これを解決する手段として、次の(a)～(e)の各工程からなるダイシング方法を提供する。

(a)、格子状配列で多数の素子が形成されたクエーハの裏面に、その表面の各素子間にある格子状の素子分離予定線(以下ストリート線と称す)の交点と対応する多数の所望箇所にアライメント用マーキングを形成する。

(b)、上述アライメント用マーキングを基準にしてクエーハ裏面に、表面のストリート線と対

応する裏面ストリート線を露出させて、この裏面ストリート線に沿つてクエーハ裏面にクエーハ厚の $\frac{1}{10}$ 程度の深さの溝を予め形成する。

(c)、クエーハ裏面を接着シート上に貼布してクエーハ裏面からクエーハをブレードで表面ストリート線に沿つて前記溝に達する深さまで切削して各素子毎に細分割する。

このようにすると接着シートの接着剤を切断すること無くクエーハの完全カットが可能で接着剤により発生していた従来トラブルが皆無となる。またクエーハ裏面にメタライズ層が在り、これを上記工程(b)の溝形成時に選択切削しても、この切削は途中カットで行われるので完全カット時のようなメタライズ層の剥離等のトラブル発生が減少する。

ハ、実施例

上記クエーハ(1)に対する本発明のダイシング方法を第4図乃至第8図を参照しながら説明する。

先ず第4図に示すようにノツのクエーハ(1)の

表面を m 、裏面を n とし、表面 m には素子12121
 ・・・・の形成時に各素子間にストリート線 Lm
 が形成されているものとする。ここで裏面 n に
 もストリート線を鮮書きするため、例えば対向
 して上下方向に近接・離隔する一対のマーキン
 グペン1718)を用意し、上部マーキングペン17)で
 表面ストリート線 Lm の交点を押えると共に下
 部マーキングペン18)をウエーハ裏面 n の前記交
 点と対応する箇所を押えて挟み付けマーキング
 することにより、第5図に示すようにウエーハ
 裏面 n の多数の例えば Δ 箇所をアライメント用
 マーキング1919)・・・を形成する。

次に上述マーキング1919)・・・を基準にして
 第6図に示すようにウエーハ裏面 n に表面 m の
 ストリート線 Lm と正確に対応するストリート
 線 Ln を鮮書きする。而る後第7図に示すよう
 にウエーハ11)を表面 m を下にして例えば真空吸
 着ステージ10)上に吸着させておいて、上になつ
 てウエーハ裏面 n より裏面ストリート線 Ln に
 沿つて例えば比較的刃幅の広いブレード16)でも

つて順次切削して溝14)を形成する。この溝14)の
 深さ d_1 はウエーハ肉厚 d_2 の約 $1/10$ 程度で
 、通常のウエーハにおいては $20 \sim 40 \mu m$
 程度であり、この時メタライズ層16)は完全カッ
 トされるがブレード16)はウエーハ11)を浅くカッ
 ティングするだけのものである。メタライ
 ズ層16)にバリや剥れが生じる心配は無い。尚、
 溝14)はブレード16)による切削に限らず、レーザ
 光照射で順次形成する等してもよい。

次にウエーハ11)上に従来向線の接着シート13)
 を貼布してからステージ10)より外し、接着シ
 ート13)をウエーハ11)を上にしてダイシング用ステ
 ージ14)上に張設する。

而る後第8図に示すようにウエーハ11)の上
 なつた表面 m から表面ストリート線 Lm に沿つ
 て従来向線なブレード16)でウエーハ11)を完全カ
 ットする。この完全カットはブレード16)が溝14)
 の底面に達する程度の深さで行う。つまり溝14)
 の形成によりブレード16)で接着シート13)の接着
 剤13b)を切削することなくウエーハ11)を順次完

全カットすることが容易に可能となる。従つて
 接着剤13b)の切削層が素子121)やブレード16)に付
 着する心配がなくなり、歩留り向上、ブレード
 16)の長寿命化が図れる。また溝14)内の空間が
 ウエーハ切削時に空冷効果を発揮し、またウエ
 ーハ切削層の排出溝としても作用するので、ダイ
 シング工程の歩留りをより一層向上させる。
 へ、発明の効果

以上説明したように、本発明によればダイシ
 ング工程における歩留り改善が図れ、且つダイ
 シング用ブレードの長寿命化が可能である。ま
 たウエーハ裏面に予め溝を形成しておき反対側
 の表面から切り込んで貫通させる両面カットに
 よる完全カット方式のためウエーハ切断時の機
 械的、熱的ショックが小さくなり、接着シート
 上での素子の位置ずれ等の不都合が減少する。

図面の簡単な説明

第1図は従来半導体ウエーハダイシング方
 法を説明するためのダイシング装置の平面図、
 第2図は第1図のA-A線に沿う断面図、第3

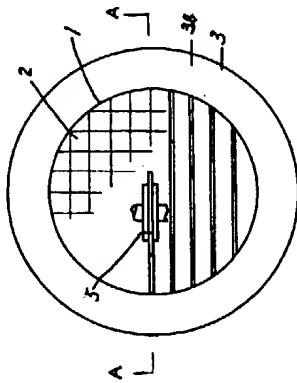
図は第2図のB-B線に沿う拡大断面図、第4
 図乃至第8図は本発明の方法を説明するための
 もので、第4図は半導体ウエーハ斜視図、第5
 図と第6図は半導体ウエーハ裏面図、第7図と
 第8図は半導体ウエーハ部分断面図である。

11)・・・半導体ウエーハ、121)・・・半導体素子、
 13)・・・接着シート、16)・・・ブレード、19)・・・ア
 ライメント用マーキング、14)・・・溝、 Lm ・・・
 表面の素子分離予定線。

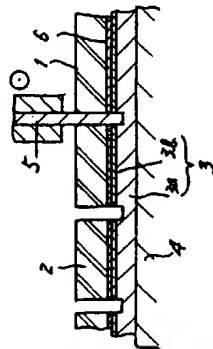
特許出願人 関西日本電気株式会社
 代理人 江 原 省 吾
 江 原 秀



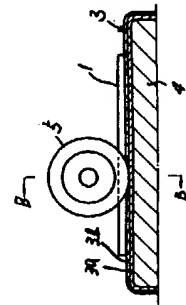
第1圖



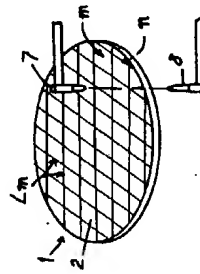
第3圖



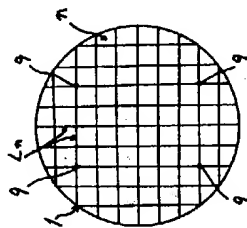
第2圖



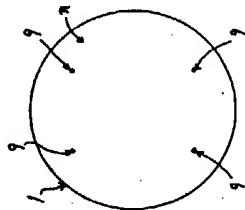
第4圖



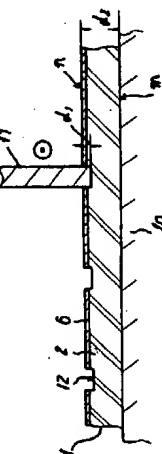
第6圖



第5圖



第7圖



第8圖

